

03C0
#4/Priority
Paper
8/01/00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: TSUTOMU ISHIKAWA, ET AL.)
SERIAL NO.: 09/552,085) Group Art Unit:
FILED: February 24, 2000) Examiner:
FOR: SEMICONDUCTOR INTEGRATED)
CIRCUIT HAVING PADS WITH LESS)
INPUT SIGNAL ATTENUATION)



CLAIM FOR PRIORITY

The Assistant Commissioner for
Patents and Trademarks
Washington, D.C. 20231

Dear Sir:

Enclosed herewith are certified copies of Japanese Patent Application No. Hei 11-50734 filed on February 26, 1999 and Japanese Patent Application No. Hei 11-50735 filed on February 26, 1999. The enclosed Applications are directed to the invention disclosed and claimed in the above-identified application.

Applicants' hereby claim the benefit of the filing date of February 26, 1999 of the Japanese Patent Application No. Hei 11-50734 and the filing date of February 26, 1999 of the Japanese Patent Application No. Hei 11-50735, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,

TSUTOMU ISHIKAWA, ET AL.

CANTOR COLBURN LLP
Applicants' Attorneys

By:

Edward J. Ellis
Registration No. 40,389
Customer No. 23413

Date: June 13, 2000

I HEREBY CERTIFY THAT THIS CORRESPONDENCE
IS BEING DEPOSITED WITH THE UNITED STATES
POSTAL SERVICE AS FIRST CLASS MAIL IN AN
ENVELOPE ADDRESSED TO:
ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231
On: June 13, 2000
DATE OF DEPOSIT
TENAIKU MATION
TENAIKU MATION
6/13/00
TENAIKU MATION
6/13/00
SIGNATURE
DATE



日本特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年 2月26日

出願番号
Application Number:

平成11年特許願第050734号

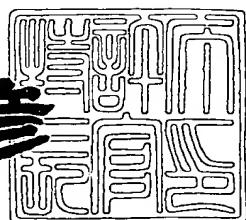
出願人
Applicant(s):

三洋電機株式会社

2000年 3月17日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3016672

【書類名】 特許願

【整理番号】 KGA0990011

【提出日】 平成11年 2月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/01

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

【氏名】 石川 勉

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

【氏名】 小島 弘

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 近藤 定男

【代理人】

【識別番号】 100076794

【弁理士】

【氏名又は名称】 安富 耕二

【連絡先】 03-5684-3268 知的財産部駐在

【選任した代理人】

【識別番号】 100107906

【弁理士】

【氏名又は名称】 須藤 克彦

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9702954

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項1】 外部より入力信号が印加されるパッドを有する半導体集積回路において、

前記パッドに接続される入力段回路と、
入力端が前記パッドに接続されたバッファ回路と
を備え、前記パッドと半導体基板のサブストレートとの間に発生する寄生容量を
充放電するように、前記バッファ回路の出力端が接続されること特徴とする半導
体集積回路。

【請求項2】 前記入力段回路の入力インピーダンスがハイインピーダンス
に設定されていることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 さらに、前記入力段回路は、アンプで構成されることを特徴
とする請求項2記載の半導体集積回路。

【請求項4】 さらに、前記入力段回路は、前記パッドに接続されるゲート
を有し、半導体基板上に集積化された電界効果トランジスタにより構成されるこ
とを特徴とする請求項2記載の半導体集積回路。

【請求項5】 外部より入力信号が印加されるパッドを有する半導体集積回路
において、

前記パッドに接続されるソースフォロワ回路を有し、
該ソースフォロワ回路で前記パッドと半導体基板のサブストレートとの間に発
生する寄生容量を充放電させるように構成され、かつ前記トランジスタのソース
から出力信号を得ることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力が高入力インピーダンスに設定される半導体集積回路に関する

【0002】

【従来の技術】

J-FETは、BIP型素子に比較して入力インピーダンスが高く、MOS型FET素子に比較して静電破壊耐量も高いことから、コンデンサマイクロホン等の特定用途などに用いられている。この他にも小信号增幅用として低周波雑音が少ない事、高周波特性が良い事等の特性を有している。そして、ディスクリート型だけでなくBIP-ICに集積化されたJ-FETが開発されている。

【0003】

図3の如くJ-FETを集積化した集積回路において、外部回路から集積基板上に設けられたパッド1を介してJ-FET2のゲートに信号が印加される。外部からの入力信号により、J-FET2のゲート電圧が変化して、J-FET2に流れる電流が変わる。その電流は負荷抵抗RLによって電圧に変換され、外部に伝達される。

【0004】

【発明が解決しようとする課題】

図3の回路を集積化すると、パッド1とサブストレートとの間に寄生容量が2個発生する。つまり、図4のように示される集積化されたパッドの断面図において、2つの分離領域101の間に島領域102が形成され、島領域102の上にパッドとしてのメタル103が形成されている。このように集積化すると、島領域102とメタル103との間にMOS容量が発生し、島領域102とサブストレートとの間にジャンクション容量が発生する。これらの寄生容量を回路で示すと、図3のようにパッド1とJ-FET2のゲートとの接続点が寄生容量3及び4を介して接地されることになる。パッド1に高出力インピーダンスを有する素子、例えば小容量のコンデンサを接続した場合、寄生容量3及び4は、コンデンサの容量に比べ非常に大きい値になる。特に、図3の回路を特定用途で使用して、入力パッド1の面積を大きくした場合には、寄生容量がさらに大きくなるので、コンデンサの容量と寄生容量との差はさらに顕著となる。寄生容量3及び4により、J-FET2のゲートに印加される入力信号がパッド1で大きく減衰され、信号を得ることが難しかった。

【0005】

【課題を解決するための手段】

本発明は、外部より入力信号が印加されるパッドを有する半導体集積回路において、前記パッドに接続される入力段回路と、入力端が前記パッドに接続されたバッファ回路とを備え、前記パッドと半導体基板のサブストレートとの間に発生する寄生容量を充放電するように、前記バッファ回路の出力端が接続されること特徴とする。

【0006】

特に、前記入力段回路の入力インピーダンスがハイインピーダンスに設定されていることを特徴とする。

【0007】

さらに、前記入力段回路は、アンプで構成されることを特徴とする。またさらに、前記入力段回路は、前記パッドに接続されるゲートを有し、半導体基板上に集積化された電界効果トランジスタにより構成されることを特徴とする。

【0008】

また、外部より入力信号が印加されるパッドを有する半導体集積回路において、前記パッドに接続されるソースフォロワ回路を有し、該ソースフォロワ回路で前記パッドと半導体基板のサブストレートとの間に発生する寄生容量を充放電させるように構成され、かつ前記トランジスタのソースから出力信号を得ることを特徴とする。

【0009】

本発明によれば、バッファ回路の出力信号またはソースフォロワ回路の出力信号によって、パッドとサブストレートとの間に発生する寄生容量を充放電するで、等価的に寄生容量を無視することができる。

【0010】

【発明の実施の形態】

図1は本発明の実施の形態を示す図であり、従来例である図3と異なる点は、J-FET2のソースに定電流源5を接続し、入力がJ-FET2のソースに、出力が寄生容量3及び4の接続点に接続されるバッファ回路6を備える点にある

【0011】

図1において、J-FET2のゲートに正振幅の入力信号が印加されると、J-FET2に流れる電流は増加する。すると、定電流源5の電流よりも増加した分がバッファ回路6に供給される。そして、バッファ回路6の出力電流も増加することにより、寄生容量4に電流が供給され、寄生容量4は充電される。寄生容量4が充電されることで、寄生容量3及び4の接続点の電圧が増加する。よって、J-FET2のゲート電圧が増加すると、寄生容量3及び4の接続点電圧も増加する。

【0012】

逆に、J-FET2のゲートに負振幅の入力信号が印加されると、J-FET2のゲートに負振幅の入力信号が印加されると、J-FET2に流れる電流が定電流源5の定電流より減少する。すると、バッファ回路6の出力電流により、寄生容量4を放電させる。放電により寄生容量3及び4の接続点の電圧が減少するので、J-FET2のゲート電圧の減少に応じて寄生容量3及び4の接続点電圧も減少することになる。

【0013】

バッファ回路6を設けることで、寄生容量3の両極を同相で変化させることができる。また、バッファ回路6を調整することにより、寄生容量3及び4の充放電量を調整することで、寄生容量3及び4の接続点の電圧変化を入力信号のレベルと同一に調整することができる。寄生容量3の両極電圧を、同相及び同一レベルで振幅させることができるので、寄生容量3の電荷の変化が無くなる。よって、等価的に入力パッド1から見える寄生容量3を無視することができる。その結果、入力信号の減衰に係わる寄生容量は寄生容量4だけになり、入力信号の減衰量を低下させることができる。

【0014】

ところで、バッファ回路6としては、J-FET2と同様に高入力インピーダンスに設定される。また、ジャンクション容量である寄生容量4の容量は絶対値で見ると比較的小さいため、バッファ回路6の駆動能力は大きくなくともよい。

その為、バッファ回路6を簡単な構成でよいため、素子数を少なく、集積化した場合にはチップ面積を小さくすることができる。

【0015】

さらに、バッファ回路6の駆動能力を大きくする必要はないため、寄生容量4の充放電をJ-FETのソース電流によって行うことが可能である。いわゆるJ-FETのソースフォロワ回路によって、寄生容量4の充放電が可能である。このようなJ-FET回路による充放電ができるこによって、図1のJ-FET2とバッファ回路6とを兼用することができる。図2にJ-FET2とバッファ回路6とを兼用した実施形態を示す。図2においては、J-FET21のソースから出力信号を取り、かつJ-FET21のソースフォロワ回路で寄生容量4を充放電させる。

【0016】

尚、図1及び図2において、集積回路の入力段回路として、J-FET2を用いたが、これに限らない。ハイ入力インピーダンスの入力段回路や、例えばバッファ回路を含むハイ入力インピーダンスのアンプにも、図1や図2の回路を適用することができる。

【0017】

【発明の効果】

本発明に依れば、高入力インピーダンスかつ低容量のパッドを形成することができ、パッドにおける入力信号の減衰を防止することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態を示す回路図である。

【図2】

本発明の他の実施の形態を示す回路図である。

【図3】

従来例を示す回路図である。

【図4】

入力パッドを形成する半導体基板の断面図である。

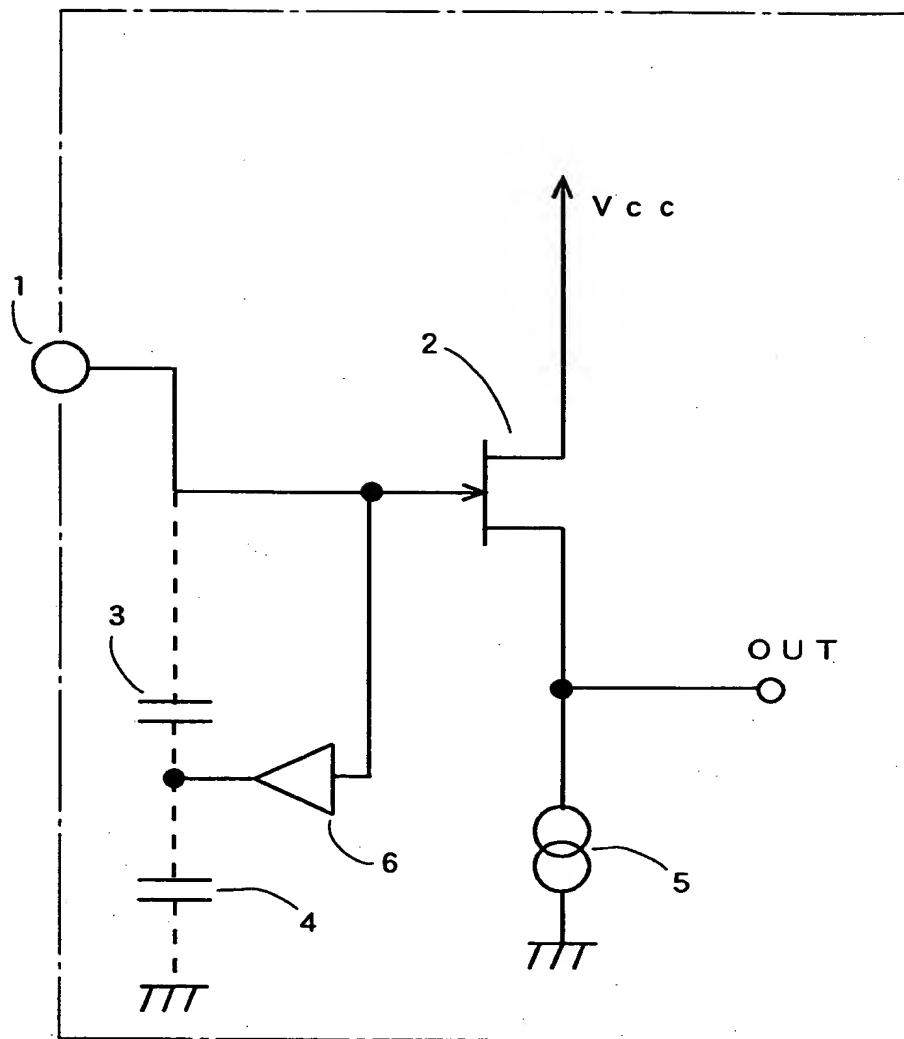
【符号の説明】

- 1 パッド
- 2 J-FET
- 3、4 寄生容量
- 5 定電流源
- 6 バッファ回路

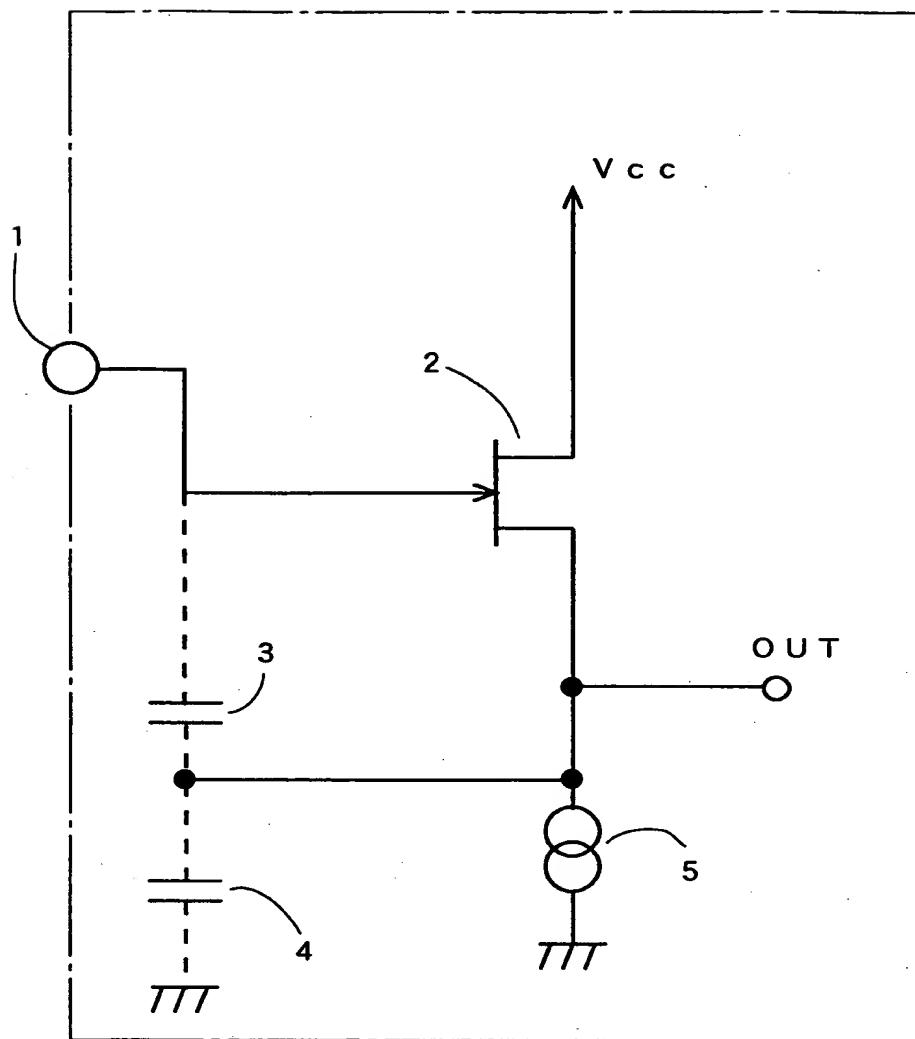
【書類名】

図面

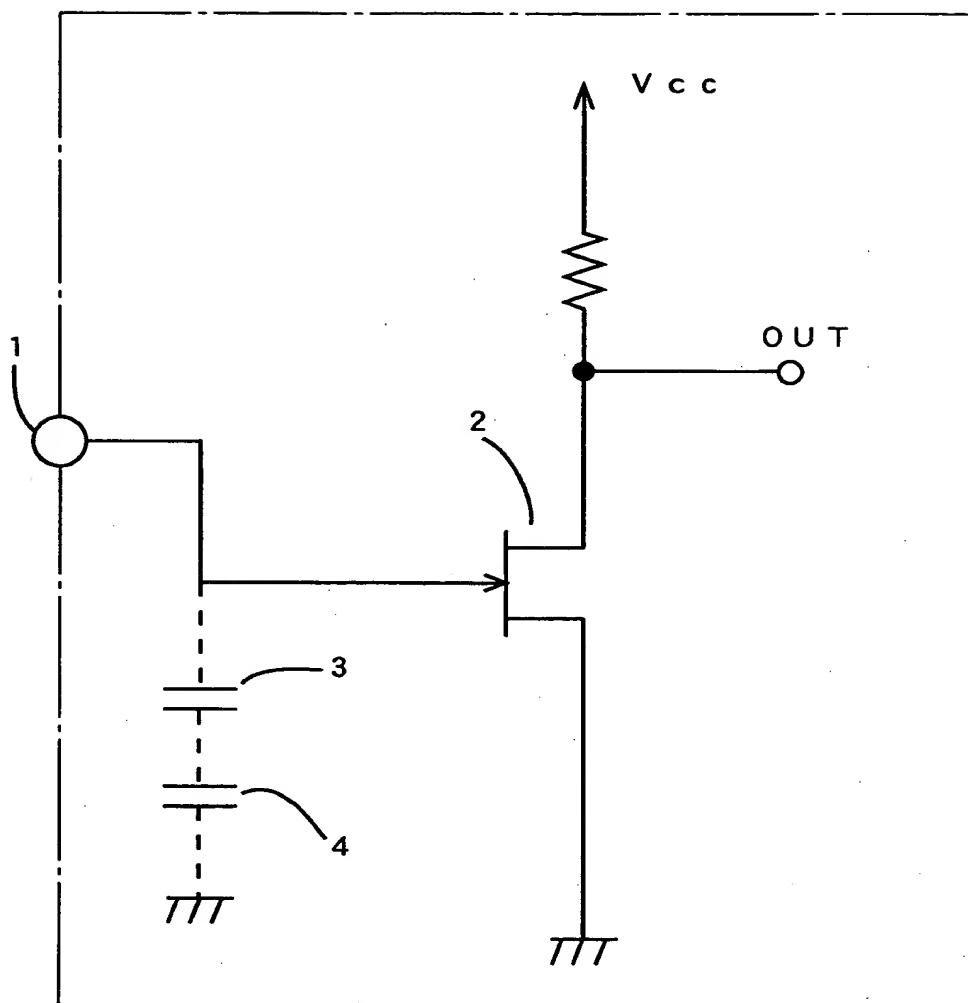
【図 1】



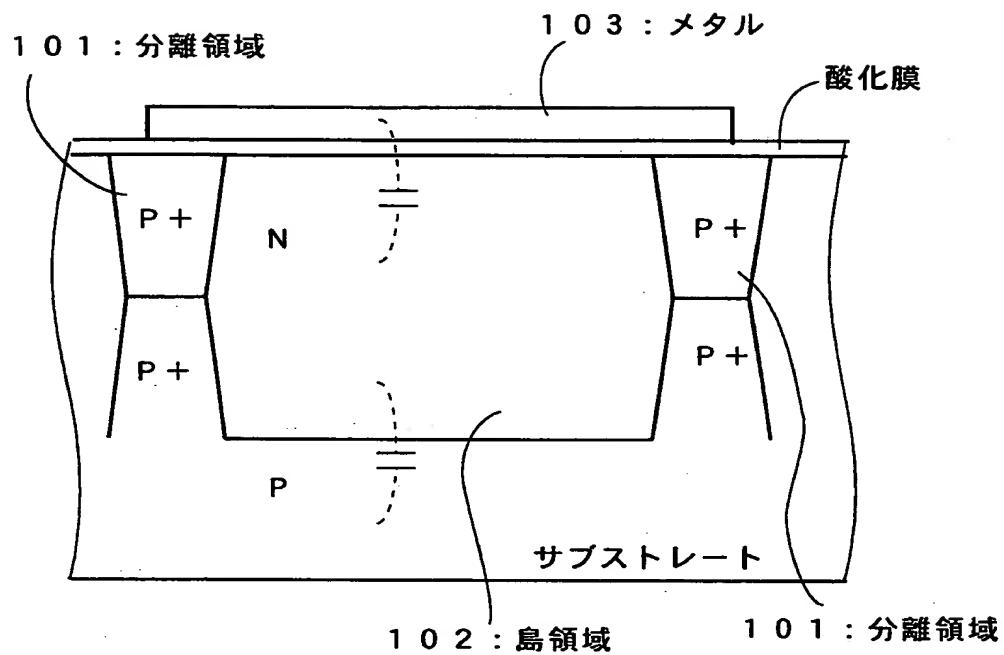
【図2】



【図3】



【図4】



【書類名】

要約書

【要約】

【課題】 寄生容量に起因する入力パッドでの減衰を防止する。

【解決手段】 J-FET 2 が入力信号に応じて駆動されると、 J-FET 2 に
流れる電流が増減され、それに応じたバッファ回路 6 の入出力信号によって寄生
容量 4 が充放電される。すると、寄生容量 3 の両極の電圧が同位相、同一レベル
で変化することになり、寄生容量 3 を無視することができる。寄生容量 3 の影響
が無くなるので、寄生容量 3 による入力信号の減衰を防止することができる。

【選択図】

図 1

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社